H02 陽明交通大學 16奈米e-DRAM記憶體內運算:高平行化、高效能、高頻寬之卷積神經網路晶片

TN16FFC-111B-A0001優等設計獎

專題名稱: 16奈米e-DRAM記憶體內運算-高平行化、高效能、高頻寬之卷積神經網路晶片

設計者 ： 高子承 陽明交大電子研究所

指導教授: 莊紹勳講座教授*, 郭治群教授

* email: schung@nycu.edu.tw

本研究以團隊在A世代半導體計畫[1]建構的多核心計算RRAM CIM Macro[2] 為基礎，建構AI edge運算的應用。運用tsmc FinFET shuttle的Macro設計及結合TLC(Triple-Level Cell)多階操作，提出全部採用FinFET(All FinFET-based)完成仿1T1C DRAM功能設計出超低電壓操作的e-DRAM，完成具有高運算效能56.9TOPS/W及高準確度的記憶體設計[3]，所建構的CIM架構，可以作為後續發展更先進記憶體，用於AI accelerator平台的建構，對類神經網路之發展具有參考價值。

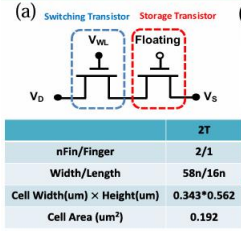
(1) A世代半導體計畫
https://angstrom.tw/portfolio-item/研究計畫名稱三/

(2) Y. L. Lin et al., VLSI-TSA, Best Student paper award, 2024.

(3) 發表於2024 Symp. VLSI, Hawaii; *T. C. Kao, M. J. Huang, Y. R. Liu, Y. K. Wang, J. C. Guo, and S. S. Chung, "An Ultra-low Voltage Auger-Recombination Enhanced Hot Hole Injection Scheme in Implementing a 3 Bits per Cell e-DRAM CIM Macro for Inference Accelerator," IEEE VLSI, JFS 6.3, June 2024.*

Results and Discussion

Basics of a Unit Cell



	2T
nFin/Finger	2/1
Width/Length	58n/16n
Cell Width(um) × Height(um)	0.343*0.562
Cell Area (um²)	0.192

